

Japanese Patent Laid-Open No.8-509339

[Title of Invention]

Multicasting virtual circuit switch using self recycling

[Abstract]

Multicasting is implemented in a virtual circuit switch(23) for an ATM network by recycling data cells through the switch fabric(23) a multiple number of times with a copy-by-two network(IPP) creating an additional data cell upon each recycle to thereby satisfy the fabric(23) as well as upon each recycle of data cells through the switch fabric(23).

(19) Japanese Patent Office (JP)**(12) Official Gazette For Unexamined Patent Applications (A)****(11) Publication of Japanese Translation of a PCT Application (Kohyo) No. H8-509339****(43) Publication Date: October 1, 1996**

(51) Int. Cl. ⁶	ID Symbol	JPO File No.	FI
H 04 L 12/28		9466-5K	H 04 L 11/20
12/18		8843-5G	H 04 Q 3/00
H 04 Q 3/00		9466-5K	H 04 L 11/18
		9466-5K	11/20

D
H

Request for examination: Not yet filed Request for preliminary examination: Filed
(Total of 21 pages)

(21) Application No.: H6-523591

(86) (22) Filing Date: April 22, 1994

(85) Translation Submission Date: October 19, 1995

(86) International Application No.: PCT/US94/04486

(87) International Publication No.: WO94/24794

(87) International Publication Date: October 27, 1994

(31) Priority Claim No.: 08/052,575

(32) Priority Date: April 22, 1993

(33) Priority Claim Country: United States (US)

(81) Designated Countries: EP (AT, BE, CH, DE, DK, ES, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), AU, CA, JP

(71) Applicant: Washington University
(No street number) One Brookings Drive, St. Louis, Missouri 63130 USA

(72) Inventor: Turner, Jonathan S.
75 Park Shire Drive, St. Louis, Missouri 63117 USA

(74) Agent: Hirō Suzuki, patent attorney

(54) [Title of the Invention] Multicast Virtual Circuit Switch Using Cell Recycling**(57) [Abstract]**

Multicasting is implemented in a virtual circuit switch (23) for an ATM network by recycling data cells through the switch structure (23) a multiple number of times by using a copy-by-two circuit network (IPP) to create an additional data cell upon each recycle to thereby satisfy the number of connection addresses in the multicast connection. Reordering of the data cells may be implemented at the exit to the switch structure (23) upon each recycle of data cells through the switch structure (23).

(11)特許出願公表番号

特表平8-509339

(43)公表日 平成8年(1996)10月1日

(51)Int.Cl. ^a	識別記号	庁内整理番号	F I	
H 0 4 L 12/28		9466-5K	H 0 4 L 11/20	D
12/18		8843-5G	H 0 4 Q 3/00	
H 0 4 Q 3/00		9466-5K	H 0 4 L 11/18	
		9466-5K	11/20	H

審查請求 未請求 予備審查請求 有 (全 21 頁)

(21)出願番号	特願平6-523591	(71)出願人	ワシントン ユニヴァーシティ
(86) (22)出願日	平成6年(1994)4月22日		アメリカ合衆国 ミズーリ 63130 セン
(85)翻訳文提出日	平成7年(1995)10月19日		ト ルイス ワン ブルッキングス ドラ
(86)国際出願番号	PCT/US94/04486		イブ (番地なし)
(87)国際公開番号	WO94/24794	(72)発明者	ターナー ジョナサン エス
(87)国際公開日	平成6年(1994)10月27日		アメリカ合衆国 ミズーリ 63117 セン
(31)優先権主張番号	08/052, 575		ト ルイス パーク シャー ドライブ
(32)優先日	1993年4月22日		75
(33)優先権主張国	米国(US)	(74)代理人	弁理士 鈴木 弘男
(81)指定国	EP(AT, BE, CH, DE,		
	DK, ES, FR, GB, GR, IE, IT, LU, M		
	C, NL, PT, SE), AU, CA, JP		

(54) 【発明の名称】 セル再循環を使用するマルチキャスト仮想回線スイッチ

(57) 【要約】

スイッチ構造(23)を通してデータセルを複数回循環させ、各再循環時にコピー・バイ・ツー回路網(IPP)を用いて付加的なデータセルを作成してマルチキャスト接続内の接続アドレス数を満足することによって、ATM回路網のための仮想回線スイッチ(23)におけるマルチキャストリングを実現する。データセルの再順番付けは、スイッチ構造(23)の出口において、並びにスイッチ構造(23)を通るデータセルの各再循環時に実現することができ。

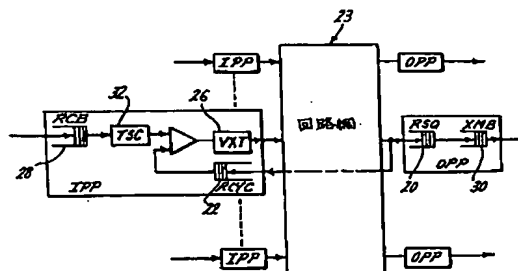


FIG. 3C

【特許請求の範囲】

1. ATM回路網のためのパケットスイッチにおいて、上記スイッチは複数の入力と複数の出力とを有するスイッチ構造を含み、上記スイッチ構造は複数のデータセルを複数のスイッチ構造入力から複数のスイッチ構造出力へ経路指定する手段を含み、上記パケットスイッチは、

選択されたデータセルを上記スイッチ構造を通して再循環させて上記スイッチ内にマルチキャストリングを実現させることを特徴とするパケットスイッチ。

2. 上記再循環手段は、上記スイッチ構造を通して選択されたデータセルを複数回再循環させる手段を含む請求項1に記載のスイッチ。

3. 上記スイッチ構造を通してデータセルが再循環される度に上記再循環されたデータセルを複写して複数の複製されたデータセルを作成する手段と、上記複数の複製されたデータセルをアドレスして異なるマルチキャスト行先へ経路指定する手段とをも備えている請求項2に記載のスイッチ。

4. 上記複写手段は、上記再循環された各データセルを2つに分けるように複写して第2の複製されたデータセルを作成する手段を含む請求項3に記載のスイッチ。

5. 上記データセルの全てを再順番付けする手段をも備えている請求項3に記載のスイッチ。

6. 上記再順番付け手段は、上記スイッチ構造を通る各再循環時に上記再循環されたデータセルを再順番付けする手段を含む請求項5に記載のスイッチ。

7. 上記再順番付け手段は、上記データセルの全てが上記スイッチ構造から最後に出る時に、それらを再順番付けする手段をも含む請求項5に記載のスイッチ。

8. 上記再順番付け手段は、上記データセルの全てが上記スイッチ構造から最後に出る時に限って、それらを再順番付けする手段をも含む請求項5に記載のスイッチ。

9. 上記複写手段は経路指定及び複写回路網を含み、上記再循環された各デー

タセルは1対の出力アドレスを有し、上記経路指定及び複写回路網は上記各アドレス対からなる2つのアドレスを比較することによって上記再循環された各データセルを経路指定する手段を含む請求項4に記載のスイッチ。

9. 上記複写手段は経路指定及び複写回路網を含み、上記再循環された各データセルは1対の出力アドレスを有し、上記経路指定及び複写回路網は上記各アドレス対からなる2つのアドレスを比較することによって上記再循環された各データセルを経路指定する手段を含む請求項3に記載のスイッチ。

10. 上記複写手段は、上記アドレスをビット比較して比較されたビットの値に不一致を見出した時に上記再循環されたデータセルを複写する手段を含む請求項9に記載のスイッチ。

11. ATM回路網のためのパケットスイッチにおけるマルチキャストリングを実現する方法において、上記パケットスイッチは複数の入力と複数の出力とを有するスイッチ構造を含み、上記スイッチ構造は複数のデータセルを上記入力から上記出力へ経路指定する手段を含み、上記方法は、

どのデータセルを複数の行先へマルチキャストするかを決定する段階と、

上記マルチキャストされるデータセルを上記スイッチ構造を通して再循環させる段階と

を備えていることを特徴とする方法。

12. 上記スイッチは上記データセルを複写する手段をも備え、上記方法は、

上記マルチキャストされるデータセルを複写し、上記マルチキャストされるデータセルが上記スイッチ構造を通して経路指定されると、少なくとも1つの複製データセルを作成する段階

をも備えている請求項11に記載の方法。

13. 上記データセルの全てを再順番付けする段階をも備えている請求項12に記載の方法。

14. 上記再順番付けする段階は、上記データセルの全てが上記スイッチ構造から出る時に、それらを再順番付けする段階を含む請求項13に記載の方法。

15. 上記再順番付けする段階は、上記マルチキャストされるデータセルが上記

スイッチ構造を通して再循環される度にそれらを再順番付けする段階を含む請求項13に記載の方法。

16. 上記マルチキャストされるデータセルは複数のアドレスを有し、上記方法は、上記マルチキャストされるデータセルのアドレスを比較することによってそれらを経路指定する段階をも備えている請求項12に記載の方法。

17. 上記再循環される各データセルに複数のアドレスを割り当てる段階と、
上記アドレスを比較することによって複数のアドレスを有する上記データセルを経路指定する段階
をも備えている請求項12に記載の方法。

18. 上記経路指定段階は上記複数のアドレスをビット毎に比較する段階を含み、上記複写段階は、上記複数のアドレスの対応ビット間に差があることを上記比較によって検出すると上記再循環されたデータセルを複写する段階を含む請求項

17に記載の方法。

19. 上記再循環される各データセルは1対の出力アドレスを有している請求項9に記載のスイッチ。

20. 上記複写手段は、上記アドレス対をビット毎に比較して比較されたビットの値に不一致を見出した時に上記再循環されたデータセルを複写する手段を含む請求項19に記載のスイッチ。

21. 上記アドレス割り当て段階は、上記再循環される各データセルに2つだけのアドレスを割り当てる段階を含む請求項17に記載の方法。

22. 上記経路指定段階は上記アドレスの対をビット毎に比較する段階を含み、上記複写段階はアドレス対の対応ビット間に差があることを上記比較によって検出すると上記再循環されたデータセルを複写する段階を含む請求項21に記載の方法。

23. 上記複写段階は、上記経路指定段階が上記複数のアドレス内の差を決定すると上記マルチキャストされるデータセルを複写する段階を含む請求項16に記載の方法。

24. 上記アドレスは2値コードで表現され、上記経路指定段階は上記2値コー

ドを比較する段階を含む請求項23に記載の方法。

25. ATM回路網のためのパケットスイッチにおいて、上記スイッチは複数の入力と複数の出力とを有するスイッチ構造を含み、上記スイッチ構造は複数のデータセルを複数のスイッチ構造入力から複数のスイッチ構造出力へ経路指定する手段を含み、上記データセルの少なくとも若干はマルチキャストされるデータセルを指示する複数のアドレスを有し、上記パケットスイッチは、

上記マルチキャストされるデータセルを上記スイッチ構造を通して再循環させる手段と、

上記複数のアドレスを比較することによって上記マルチキャストされるデータセルを経路指定する手段と、

上記アドレス比較手段に応答して上記マルチキャストされるデータセルを複写して少なくとも1つの複製されたデータセルを作成する手段と、

上記複製された各データセルに少なくとも1つのアドレスを割り当てる手段と、

上記データセルの全てが上記スイッチ構造から出る時にそれらを再順番付けする手段と

を備えていることを特徴とするパケットスイッチ。

26. 上記マルチキャストされる各データセルは2つより多くのアドレスを有しておらず、上記複写手段は上記スイッチ構造を通る各パスにおいて上記マルチキャストされるデータセルを1つの複製データセルだけに複写する手段を含む請求項25に記載のスイッチ。

【発明の詳細な説明】

セル再循環を使用するマルチキャスト仮想回線スイッチ

発明の背景と概要

従来技術のマルチキャスト仮想回線回路網は、図1に示すように、送信側から任意の数の受信側までの通信経路を支援する。図示のように、マルチキャスト仮想回線は送信側を1もしくはそれ以上の受信側に接続する1つの樹木を回路網内に導出する。仮想回線に関連するスイッチングシステムは、セル見出し内の仮想回線識別子を使用して受信したセルを模写してスイッチングシステムの内部制御テーブル内に記憶されている制御情報にアクセスし、次いでこの情報を使用してこれらのセルの行先である出力を識別し、そして複写に再ラベル付けをした後にセルを他のスイッチングシステムへ転送する。

図2に、マルチキャスト仮想回線スイッチの機能をより詳細に示す。スイッチは、ここではテーブルとして示されている制御情報を含み、これは入力仮想回線毎に出力のリスト及び出力仮想回線識別子を供給する。スイッチは、入力リンク i 及び仮想回線 z において受信されたセルについて、新しい仮想回線識別子 y_1, y_2, \dots を再ラベル付けした後に複写を出力 j_1, j_2, \dots へ転送する。もしスイッチが n 入力及び出力を有し、各出力が m 仮想回線までを支援するものとすれば、マルチキャスト仮想回線のどのような集まりもメモリの $m \times n$ ワードで記述できることに注目されたい。単に各（出力、VCI）対毎に（入力、VCI）対の識別を供給すると、この識別からセルを受入れることになる。不幸にも、1組のマルチキャスト接続を限定するこの方法は（入力、VCI）対から所望の（出力、VCI）対のリストへ進む道筋を与えていないから、スイッチングに対する特別な援助にはならない。既存の仮想回線スイッチアーキテクチャは、異なる方法でマルチキャスト仮想回線を記述しており、これらはスイッチングには適当であるがメモリの $m \times n$ ワードよりも遥かに多くのワードを使用する。例えば、発明者の先行米国特許第 4,734,907号は、最悪の場合として、メモリの $m \times n^2 / 2$ ワードを必要とする。更に、マルチキャスト接続を更新するのに必要な時間が接続のサ

イズと共に増大する。

本発明はマルチキャストリングのこの先行実施例の改良として開発されたものである。本発明は、要求される帯域幅で外部リンクが使用可能である限り新しいマルチキャスト接続もしくは既存マルチキャスト接続の増補を常時受け入れることができることから、無閉塞（ノンブロッキング）である $O(n \log n)$ ハードウェアの複雑性を有するマルチキャストスイッチアーキテクチャを記述する。また本発明は、マルチキャストアドレス変換のためにメモリの $< 2mn$ のワードを必要とするだけである。更に、マルチキャスト接続の確立、もしくは変更のためのオーバヘッドは、接続のサイズ、もしくはスイッチング回路網には無関係である。本発明は、本質的には、マルチキャスト接続へ経路指定するためのデータセルの特別な複写もしくは複製複写を作成する再循環と、“コピー・バイ・ツー（copy-by-two）”機能とを基礎としている。同一のスイッチ構造（もしくはファブリック：fabric）を通してデータセルを多重にパスさせる、もしくは再循環させることによって、各パス上で2分岐する論理“樹木”が設定される。発明者は、メモリ要求及びスイッチ帯域幅要求を最小にするような“樹木”を構築するマルチキャスト接続の付加及び除去（もしくはドロップ）の方法を開発した。データセルが疑いもなくシーケンスから出て行くことを認識した上で、セルが最終的にはスイッチ構造から出て行くものとして、または、付加的に、セルがスイッチ構造へ戻るように再循環されるものとして再順番付けバッファを設け、また実現することができる。これらの再順番付け装置、即ちリシーケンサは、データストリームの完全性を保つようにデータセルを順番に戻して配置する。

マルチキャスト接続方法に関してこの再循環の特定実施例を開示するが、マルチキャストリング能力を付加するためには種々のスイッチアーキテクチャで実現できることを理解されたい。

本発明の主たる長所及び特色を以上に述べたが、以下の添付図面を参照しての好ましい実施例の説明から本発明はより完全に理解することができよう。

図面の簡単な説明

図1は、マルチキャスト仮想回線スイッチングを示すATM回路網の概要図である。

図2は、マルチキャストATMスイッチの機能を示す図である。

図3Aないし図3Cは、スイッチ構造を通してのデータセルの再循環を示す本発明のブロック線図、並びにスイッチ構造を通るデータセルの流れを示す概念的流れ図である。

図4A及び図4Bは、多重再循環の場合の概念的な、及びスイッチ構造を通るデータセルの流れを示すブロック線図である。

図5Aないし図5Dは、マルチキャスト接続へのエンドポイントの付加を示す概念図及びブロック線図である。

図6Aないし図6Dは、マルチキャスト接続内のエンドポイントの除去を示す概念図及びブロック線図である。

図7Aないし図7Cは、マルチキャスト接続内の遷移中のリシーケンサの動作を示すブロック線図及び概念的流れ図である。

図8は2分複写機能を実装したスイッチ構造を示す概要図である。

好ましい実施例の詳細な説明

本発明の基本原理を図3A及び図3Bに示す。入力aから出力b、c、d及びeまでのマルチキャスト接続を実現するために、根として原始スイッチポートaを、また葉として行先スイッチポートb、c、d、eを使用した2進の樹木が構築される。内部ノードx、yは中継点として働くスイッチポートを表しており、これらはスイッチからセルを受け入れるが、それらの届け先である2つのスイッチポートを識別する行先対を用いてこれらのセルに再ラベル付けした後に、これらのセルをスイッチ内へ戻すように再循環させる。スイッチング回路網を構築するためには多くの可能性がある。米国特許第4,734,907号に開示されている行先回路網及び経路指定回路網は1つの可能性を提唱している。“コピー・バイ・ツー”機能を与えるために、経路が2つの行先へ分岐する点において両経路に沿ってセルを複写するように経路指定回路網を増補する。コピー・バイ・ツー機能を与えるように適当に拡張される他のスイッチング回路網も使用可能である。

図3Cは、スイッチングシステムの各ポートに関連するハードウェアの詳細図である。米国特許第4,734,907号に開示されているような回路網は、入力される

順序とは異なる順序でセルを引渡すことができ、ポートは典型的には出力上で適切な順序を復元する再順番付けバッファを用いて増補される。後述するように、再順番付けバッファは、再循環アーキテクチャにおける付加的な投割を有している。図3Cにおいて、RSQ 20と名付けられたバッファが再順番付けバッファを表し、RCYC 22と名付けられたバッファは単なるFIFOである。図にVXT 26と名付けられた箱は、このポートに関連する仮想回線変換テーブルを表している。セルの見出しから入手された仮想回線識別子が与えられるとテーブルは2つの(出力、VCI)対を供給し、これらはセル見出しプラス2つの付加的ビット(これらのビットは、各対毎に、セルを別の時刻に再循環させるか否かを表す)に付加される。RCB(受信バッファ)28と名付けられた要素は入力リンクから受信されてスイッチ構造へ入力されるのを待機しているセルを保持し、一方XMB(送信バッファ)と名付けられた要素は出力リンク上へ送信されるのを待機しているセルを保持する。

回路網内の異なる経路をセルに辿らせ得るようになっているスイッチング回路網では、セルをシーケンスから出すことが可能である。米国特許第5,260,935号の継続である1993年1月19日に出願された米国特許出願第08/005,587号は、適切なシーケンスを再確立するシステムを記述している。本発明は、セルが最初にスイッチング回路網へ入力された時にそれにタイムスタンプを付加し、そしてセルがスイッチング回路網を出る時にそのフィールドを使用して適切な時間シーケンスを再確立する。図3Cにおいて、タイムスタンプフィールドはTSC 32によって付加され、セルはRSQ 20において再順番付けされる。これは、セルが最初にシステムへ入力された時にのみタイムスタンプされること、そして再順番付けバッファは最長の遅延を与え得る寸法(ディメンション)でなければならないことを意味していることに注目されたい。

図4A及び図4Bは、マルチキャストスイッチの動作をより詳細に示している。この例では、マルチキャスト接続はポートx及びyを中継点として使用し、セルを入力aから出力b、c、d及びeへ引渡す。図4Bは、システムを通るセルの流れを明瞭にするために、接続例を“展開した”形状で示してある。しかしな

がらこれは純粹に例示に過ぎないことを理解されたい。実際には3つのスイッチング回路網ではなく、1つのスイッチング回路網が存在するだけであり、全ての行先へ到達させるために、セルを単純にその1つのスイッチング回路網を複数回通過させて送るのである。この例では、VCI_iを用いて入力aに輸入されるセルは、出力e、VCI_k、及び出力x、VCI_jに転送される。xにおいて、セルはxのVXTから新しいテーブルエントリを選択するために使用されたVCI_jを用いて再循環される。得られた情報によりセルは出力b、VCI_n、及び出力y、VCI_mへ転送される。yにおいて、セルは再び再循環され、得られた複写はc及びdへ引渡される。

マルチキャスト接続にエンドポイントを付加するためには、接続を再配列することが必要である。これを図5Aないし図5Dに示す。dを接続に付加すべき出力、cを樹木の根に最も近い出力、そしてaをその親であるものとする。最小量の再循環トラフィックを有するスイッチポートxを選択する。xにおいて使用されていないVXTエントリ内にc及びdを入力し、次いでcをaのVXTエントリ内のxで置換する。図5Cに示すように、これらの変更により、xを子c及びdと共に樹木内へ挿入する効果が得られる。

図6Aないし図6Dに示すように、エンドポイントの除去も類似している。cを接続から除去すべき出力、dを樹木内のその同胞、xをその親、そしてaをその祖（つまり親の親）とする。aのVXTエントリでは、Xをdで置換する。もし除去すべき出力が祖を有していないが、その同胞が子を有していれば親のVXTエントリを同胞の子で置換する。例えば図6Aにおいて、もしbが削除すべき出力であるものとするれば、xのVXTエントリをaへ複写して実効的に接続からxを除去する。もし除去すべき出力が祖を有しておらず、その同胞が子を有していなければ、単に除去すべき出力をその親のVXTエントリから除去するだけであり、接続は単なる二地点間接続に戻る。例えば図6Cにおいて、もしbをこの接続から除去すれば、aからdまでの二地点間接続が残されることになる。

前述したように、本発明は各出力ポートプロセッサに大きいリシーケンサを必要とする。もしセルが回路網を通る全てのパスで再順番付けされるのであれば、再順番付けハードウェアの合計量を減少させることができる。このためには、図

3 CのRCYC 22を再順番付けバッファに変更し、TSC 32をVXT26に追従するように移動させる必要がある。しかしながら、接続を変更する場合には、次のような特別な注意を必要とする。

接続にエンドポイントを付加する場合、その新しい同胞は樹木内で再位置決めされ、そのセルは回路網を通る付加的なパスのために長い遅延を経験することになる。従って、出力へのセルの流れに一時的な間隙を生ずることになるが、セルの順序付けには影響はない。しかしながら、エンドポイントを接続から除去する場合には、切り離された点の直後の出力は樹木の根に近づくように移動させられるからそれらへ送られるセルが経験する遅延は短くなり、変更の直前に切り離された点に残されたセルと誤った順序付けがなされる恐れがある。セルが誤った順序で引渡されるのを防ぐために、リシーケンサは切り離しが発生した直後にセルに対して特別の遅延を与えなければならない。これを図7Aないし図7Cに示す。Tをリシーケンサ遅延しきい値とし、Rをタイムスタンプ回路内のレジスタとする。一般に、クロックはシステムの各動作サイクルに1だけ増数（インクリメント）されるが、タイムスタンプフィールドはクロックの“半ステップ”を表す特別ビットで増補される。接続が変化する時刻（この時刻を τ と呼ぶ）に、Rを $\tau + T$ にセットする。その後、現在の時刻か、もしくはRの値の何れか大きい方に等しいタイムスタンプを、影響を受けた接続の全てのデータセルに与える。もしRが大きければ半分がRの値に付加される。時刻 $\tau + 2T$ までに現在の時刻がRよりも大きいことが確かめられるので、この点から、タイムスタンププロセスはその通常動作を回復し、データセルは確実に再順番付けなされている。

図8に、「分配区分」及び「経路指定及び複写区分」を使用する特定スイッチング回路網の実施例を示す。図示のように、1対のアドレスを有する単一のデータセルはスイッチ構造入力40に現れる。分配区分44は、内部リンクの負荷が外部リンクの負荷より小さいか、もしくは等しくなるようにセルを公平に分配する3つの段を有している。経路指定及び複写区分46は、アドレス対48の連続するビットを使用することによって、その4つの段の各連続する段において経路指定を開始する。図8に示すようにアドレス対48内の両アドレスは、それらの最も左のビットが1になっている。従って、段52を通ったデータセルは、下側

の枝路54に沿って次の段56内のノードへ経路指定される。第2段においては対48内の各アドレスの左から2番目のビットが比較され、これはアドレスが異なっている最初の段であるのでデータセルが複写され、アドレス対は各データセルが単一のアドレスを有するように分割され、そしてセルは第3段へ別々にスイッチもしくは経路指定される。第3段においてデータセルは次に続くビット、即ち左から3番目のビットに従って経路指定される。これはデータセルが第4段60に到達するまで続けられる。第4段でもデータセルはそのアドレスの最後のビット、即ち最も右側のビットによって経路指定され、そしてデータセルが正しい出力に出現する。この実施例では、4ビットのアドレスで16のリンクスイッチ内のアドレスを限定している。この同じ実施例を、異なる数のアドレスと、異なる数のディジットとを使用してより多くのスイッチを有する回路網にすることが可能である。

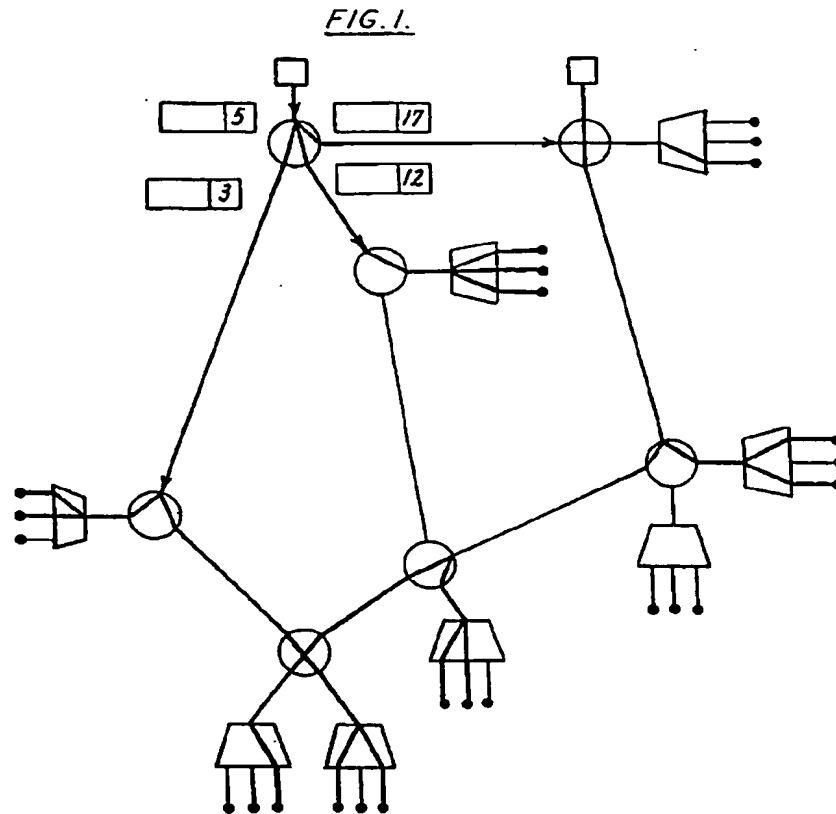
接続は、より多くの分岐要因を有する（即ち、ノードが3以上の子を有しているような）樹本を使用して構築することもできる。分岐要因をより多くすると再循環の量が減少し、セルを再循環させるのに必要な帯域幅が減少し、そして遅延が減少するが、表エントリのサイズが増大し、セル当たりのオーバーヘッドが増大する。実際には、 $b > 2$ である時には子 b を全ての内部ノードに維持することはできないが、樹木当たり多くとも1つの子 b よりも小さい内部ノードを有することは可能である。この特性を維持するには、エンドポイントを除去した時に樹木を再構築する必要がある。この再構築に必要な段階の数は、最悪の場合、樹木の高さに比例する。

本発明の別の変形は、複写用セルを、スイッチング回路網内ではなく、入力ポートプロセッサに順次に含む。この実施例では、VXTエントリがリストされた多重出力を有していれば、出力ポート及び仮想回路識別子でラベル付けされた複写が各出力毎に作られ、スイッチング回路網へ送られる。これは“コピー・バイ・ツー”機能を必要とせずに、どのような二地点間スイッチング回路網をも可能にする。

当業者には本発明に種々の変化及び変更を施し得ることは明白であろう。しかしながら、これらの変化もしくは変更は開示の教示に含まれるものであり、本発

明は請求の範囲によってのみ限定されるものであることを理解されたい。

【図 1】



【图2】

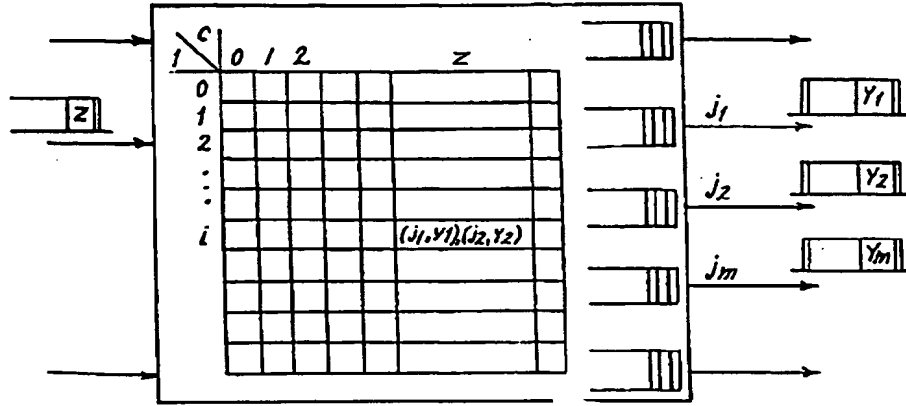


FIG. 2.

【图3】

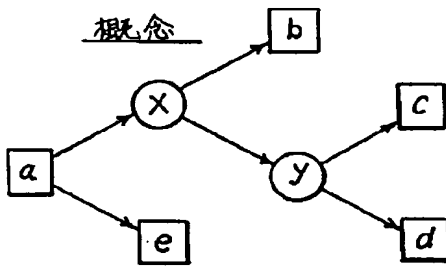


FIG 3A.

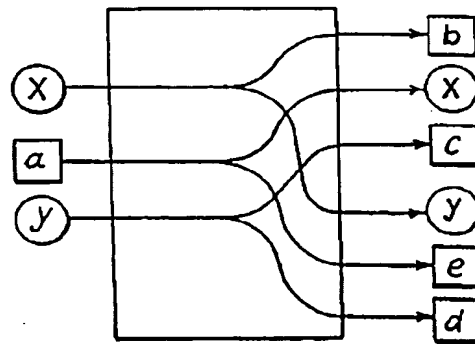


FIG. 3B.

【图2】

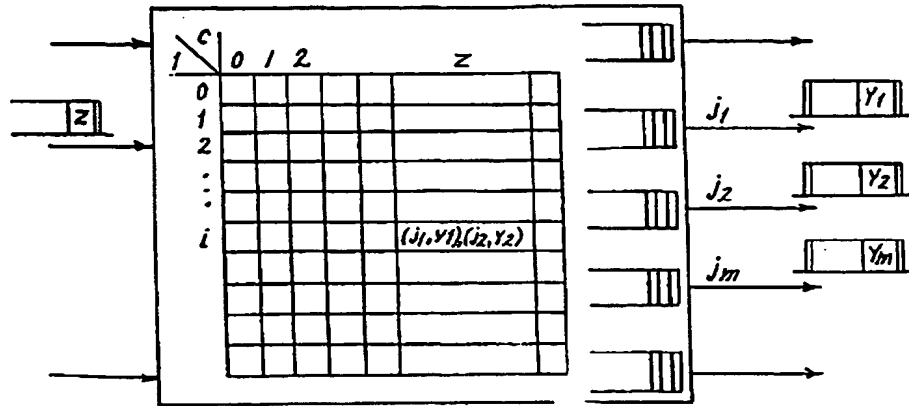


FIG. 2.

【图3】

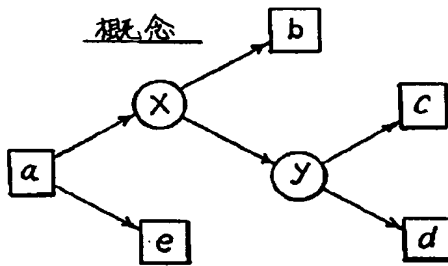


FIG. 3A.

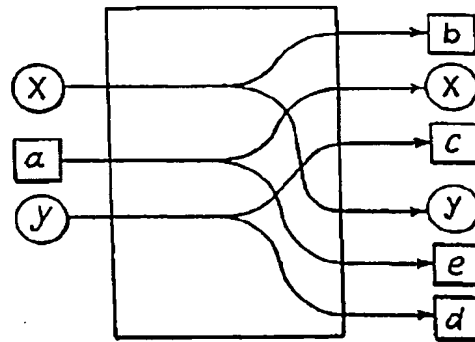


FIG. 3B.

【図3C】

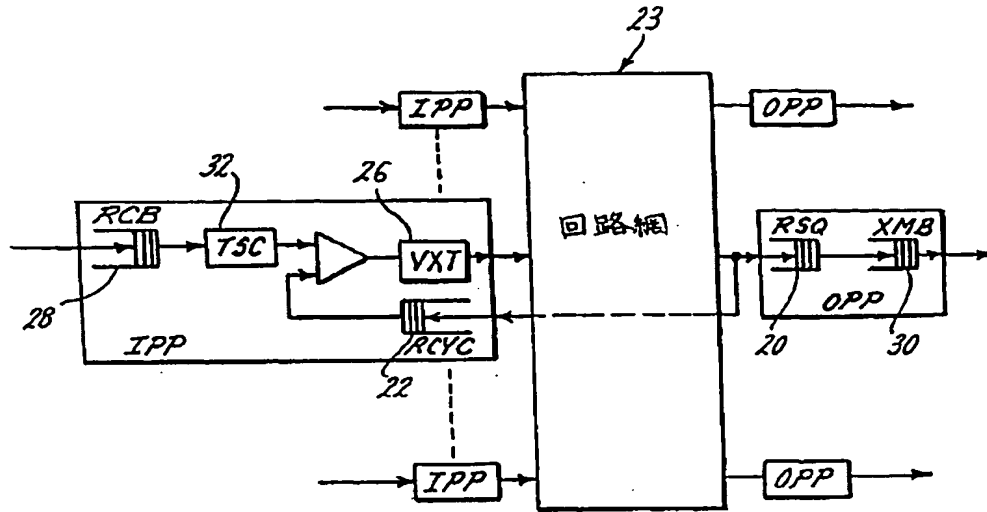


FIG. 3C

【图4】

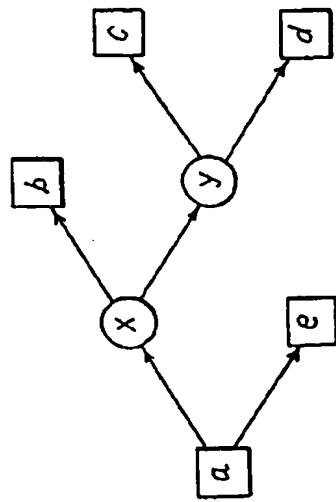


FIG. 4A.

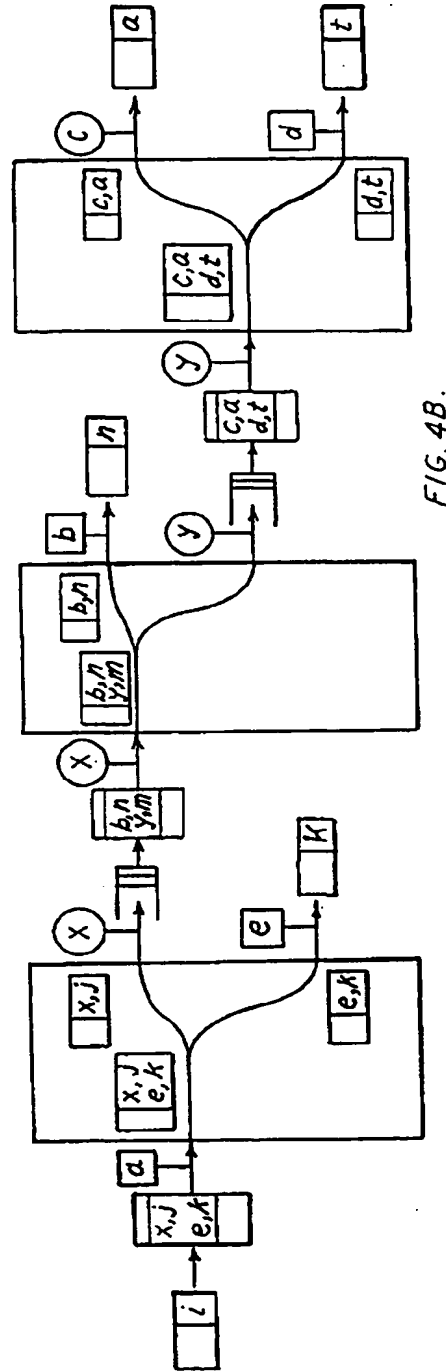


FIG. 4B.

【图5】

FIG. 5A.

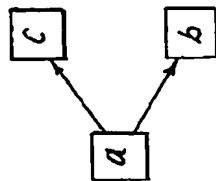


FIG. 5B.

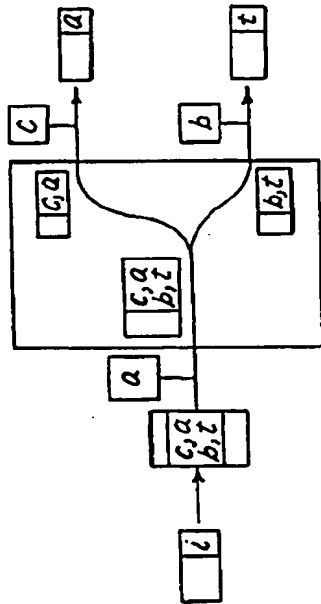


FIG. 5C.

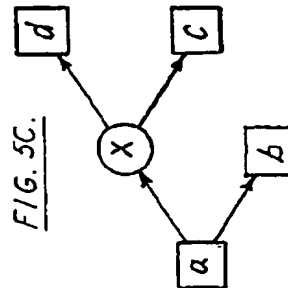
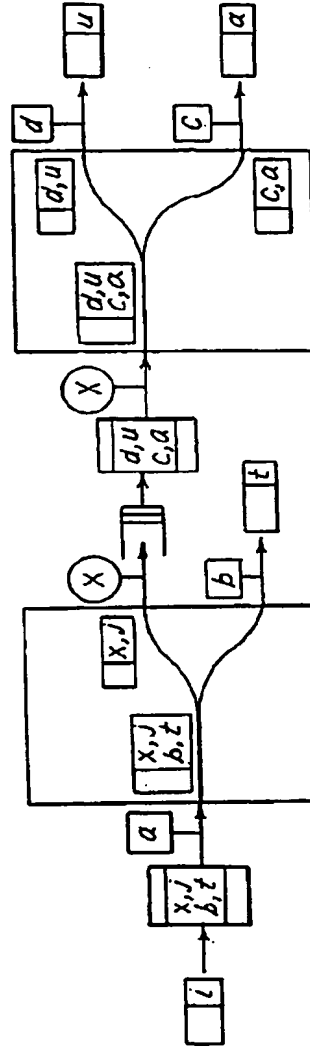
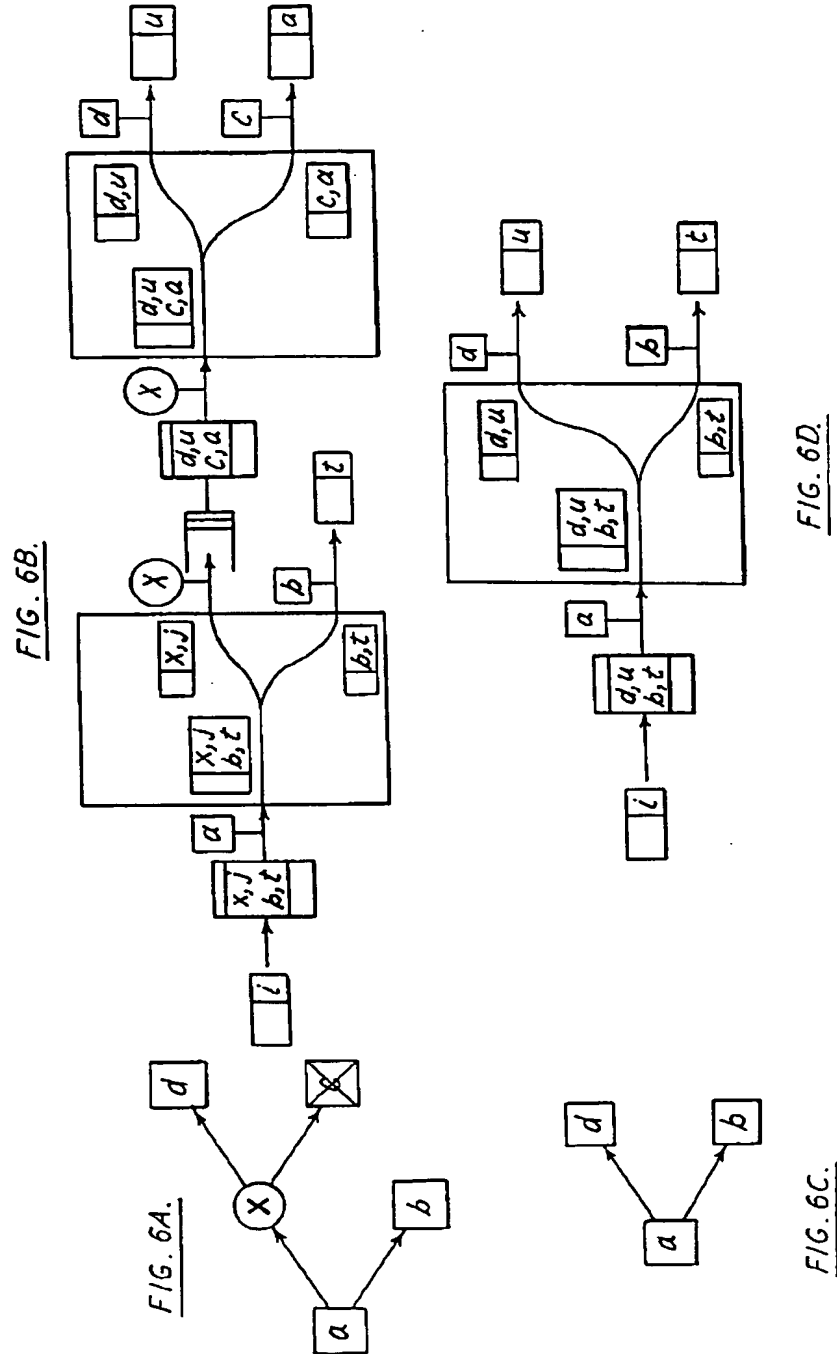


FIG. 5D.



【図 6】



【图7】

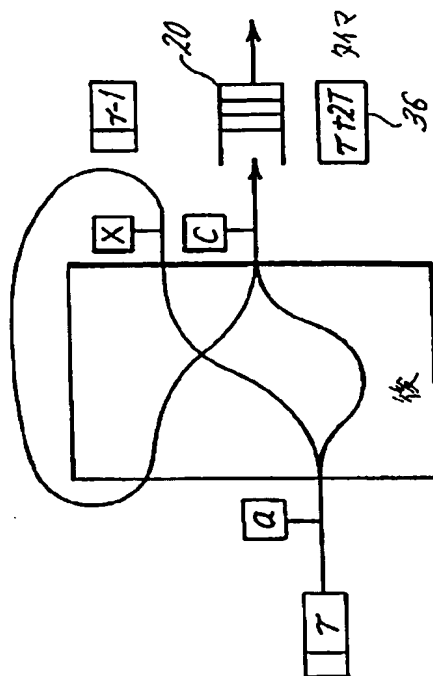
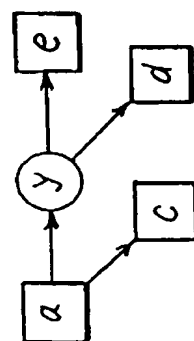
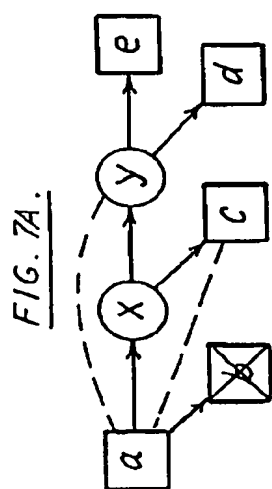
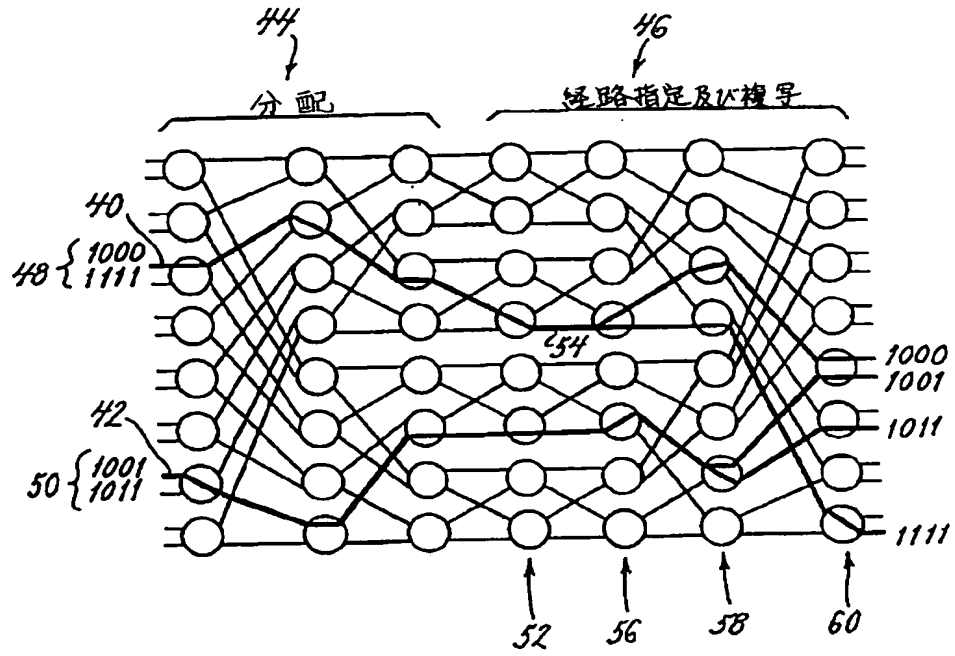


FIG. 7C.

【図8】

FIG. 8.



【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US94/04486
A. CLASSIFICATION OF SUBJECT MATTER IPC(5) : H04L 12/56 US CL : 370/60.1, 94.1 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) U.S. : 370/60, 60.1, 85.6, 94.1, 94.2 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched NONE Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) NONE		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of documents, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US, A 4,542,497 (HUANG ET AL) 17 September 1985	1-26
A	US, A 4,813,038 (LEE) 14 March 1989	1-26
A	US, A 5,127,000 (HENRION) 30 June 1992	1-26
A,P	US, A 5,237,571 (COTTON ET AL) 17 AUGUST 1993	1-26
X,P	US, A, 5,305,311 (LYLES) 19 April 1994, See col. 11, line 62- col.13, line 43 and Fig. 2.	1-3,11-15,25

Y		4-8,19,26
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be part of particular relevance "E" earlier document published on or after the international filing date "L" document which may throw doubt on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later documents published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" documents of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" documents of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "A" document member of the same patent family		
Date of the actual completion of the international search 20 JULY 1994		Date of mailing of the international search report SEP 08 1994
Name and mailing address of the ISA/US Commissioner of Patents and Trademarks Box PCT Washington, D.C. 20231 Facsimile No. (703) 305-3230		Authorized officer BEREDICT V. SAFOUREK Telephone No. (703) 305-4364